

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-168955

(43)Date of publication of application : 14.06.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/266

H01L 21/28

H01L 21/318

(21)Application number : 04-341420

(71)Applicant : NEC CORP

(22)Date of filing : 27.11.1992

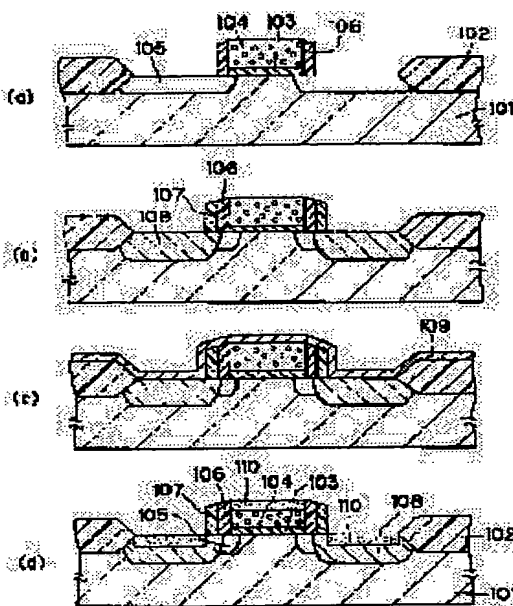
(72)Inventor : SAKAI ISAYOSHI

(54) MOS TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To prevent the decrease of manufacturing yield, when the width of a side wall is decreased in order to improve the quality of a MOS transistor having a silicide layer in a source drain diffusion layer.

CONSTITUTION: After a gate electrode 104 is formed on a P-type semiconductor substrate 101, and an N- diffusion layer 105 is formed, a two-layered structure wherein the inside is an oxide film 106 and the outside is a nitride film 107 is formed, and an N+ diffusion layer 108 is formed. A titanium layer 109 is formed, and a titanium silicide layer 110 is formed by heat treatment. Since a nitride film exists on the outside part of the side wall, the film thickness of the side wall is not decreased in the elimination process of a natural oxide film using buffered hydrofluoric acid, preceeding to silicidation. Thereby the film thickness of a side wall can be reduced, while the short-circuit between the gate and the source/drain is prevented.



LEGAL STATUS

[Date of request for examination] 27.11.1992

[Date of sending the examiner's decision of rejection] 02.07.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2638411

[Date of registration] 25.04.1997

[Number of appeal against examiner's decision of rejection] 08-12590

[Date of requesting appeal against examiner's decision of rejection] 01.08.1996

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-168955

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl.⁵H 0 1 L 21/336
29/784
21/266

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M
8617-4MH 0 1 L 29/ 78
21/ 2653 0 1 P
M

審査請求 有 請求項の数 8(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-341420

(22)出願日 平成4年(1992)11月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 酒井 勲美

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 弁理士 尾身 祐助

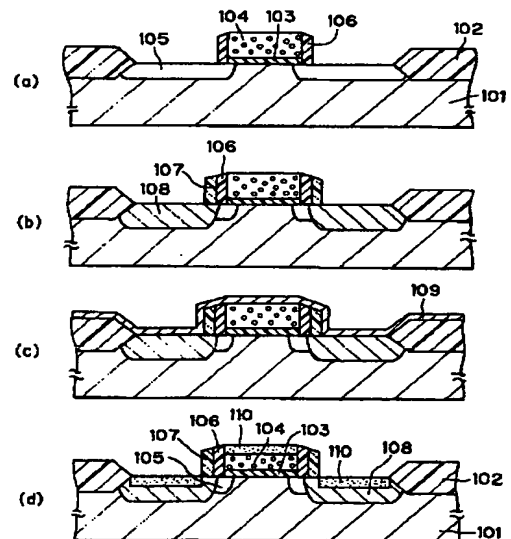
(54)【発明の名称】 MOS型半導体装置およびその製造方法

(57)【要約】

【目的】 ソース・ドレイン拡散層にシリサイド層を有するMOSトランジスタの性能を向上させるために、側壁幅を薄くしても、製造歩留りの低下することのないようにする。

【構成】 p型半導体基板101上にゲート電極104を設け、n-拡散層105を形成してから、ゲート電極104の側面に、内側が酸化膜106、外側が窒化膜107という2層構造の側壁を設け、n+拡散層108を形成する。チタン層109を設け、熱処理によりチタンシリサイド層110を形成する。

【効果】 側壁の外側部分に窒化膜が存在しているので、シリサイドーションに先立つ、バッファードフッ酸による自然酸化膜の除去工程で側壁の膜厚が目減りすることがなくなる。よって、ゲートソース・ドレイン間の短絡を防止しつつ側壁の膜厚を薄くすることができる。



101-p型シリコン基板
102-フィールド酸化膜
103-ゲート酸化膜
104-ゲート電極
105-n⁻拡散層
106-側壁酸化膜
107-側壁窒化膜
108-n⁺拡散層
109-チタン層
110-チタンシリサイド層

1

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の側面に形成された本質的にシリコン酸化物からなる第1の側壁絶縁膜と、
前記第1の側壁絶縁膜の外側に該第1の側壁絶縁膜に接して形成された、下端が前記半導体基板に接する、シリコン酸化物とはエッチング性を異にする材料からなる第2の側壁絶縁膜と、
前記ゲート電極の側面に整合されて前記半導体基板の表面領域内に形成された低不純物濃度の第1の拡散層と、
前記第1の側壁絶縁膜または前記第2の側壁絶縁膜の外側に整合されて前記半導体基板の表面領域内に形成された高不純物濃度の第2の拡散層と、を備えたMOS型半導体装置。

【請求項2】 前記第2の側壁絶縁膜がシリコン窒化物により形成されている請求項1記載のMOS型半導体装置。

【請求項3】 前記第2の側壁絶縁膜がシリコン窒化酸化物により形成されている請求項1記載のMOS型半導体装置。

【請求項4】 前記ゲート電極および前記第2の拡散層の表面に高融点金属シリサイド膜が形成されている請求項1、2、または3記載のMOS型半導体装置。

【請求項5】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極をマスクとして前記半導体基板の表面領域内に不純物を導入して低不純物濃度の第1の拡散層を形成する工程と、
本質的にシリコン酸化物からなる被膜を全面に形成し、これをエッチバックして前記ゲート電極の側面に第1の側壁絶縁膜を形成する工程と、
シリコン酸化物とはエッチング性を異にする材料からなる被覆を全面に形成し、これをエッチバックして前記第1の側壁絶縁膜の外側に第2の側壁絶縁膜を形成する工程と、

前記ゲート電極、前記第1の側壁絶縁膜および前記第2の側壁絶縁膜をマスクとして前記半導体基板の表面領域内に不純物を導入して高不純物濃度の第2の拡散層を形成する工程と、を含むMOS型半導体装置の製造方法。

【請求項6】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板の表面領域内に不純物を導入して低不純物濃度の第1の拡散層を形成する工程と、

本質的にシリコン酸化物からなる被膜を全面に形成し、これをエッチバックして前記ゲート電極の側面に第1の側壁絶縁膜を形成する工程と、

前記ゲート電極および前記第1の側壁絶縁膜をマスクとして前記半導体基板の表面領域内に不純物を導入して高

2

不純物濃度の第2の拡散層を形成する工程と、
シリコン酸化物とはエッチング性を異にする材料からなる被覆を全面に形成し、これをエッチバックして前記第1の側壁絶縁膜の外側に第2の側壁絶縁膜を形成する工程と、を含むMOS型半導体装置の製造方法。

【請求項7】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板の表面領域内に不純物を導入して低不純物濃度の第1の拡散層を形成する工程と、

本質的にシリコン酸化物からなる被膜を全面に形成し、これをエッチバックして前記ゲート電極の側面に第1の側壁絶縁膜を形成する工程と、

シリコン酸化物とはエッチング性を異にする材料からなる被覆を全面に形成し、これをエッチバックして前記第1の側壁絶縁膜の外側に第2の側壁絶縁膜を形成する工程と、

前記ゲート電極、前記第1の側壁絶縁膜および前記第2の側壁絶縁膜をマスクとして前記半導体基板の表面領域内に不純物を導入して高不純物濃度の第2の拡散層を形成する工程と、

湿式エッチングにより前記半導体基板の表面に形成された自然酸化膜を除去する工程と、

高融点金属を全面に被着し熱処理を行って、前記ゲート電極上および前記第2の拡散層上に高融点金属シリサイド膜を形成する工程と、を含むMOS型半導体装置の製造方法。

【請求項8】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板の表面領域内に不純物を導入して低不純物濃度の第1の拡散層を形成する工程と、

本質的にシリコン酸化物からなる被膜を全面に形成し、これをエッチバックして前記ゲート電極の側面に第1の側壁絶縁膜を形成する工程と、

前記ゲート電極および前記第1の側壁絶縁膜をマスクとして前記半導体基板の表面領域内に不純物を導入して高不純物濃度の第2の拡散層を形成する工程と、

シリコン酸化物とはエッチング性を異にする材料からなる被覆を全面に形成し、これをエッチバックして前記第1の側壁絶縁膜の外側に第2の側壁絶縁膜を形成する工程と、

湿式エッチングにより前記半導体基板の表面に形成された自然酸化膜を除去する工程と、

高融点金属を全面に被着し熱処理を行って、前記ゲート電極上および前記第2の拡散層上に高融点金属シリサイド膜を形成する工程と、を含むMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

3

【産業上の利用分野】本発明は、MOS型半導体装置に関し、特に、LDD (Lightly Doped Drain) 構造を有するMOS型半導体装置に関し、さらに、ゲート電極およびソース・ドレイン領域上にシリサイド層が形成されたMOS型半導体装置に関する。

【0002】

【従来の技術】ソース・ドレイン領域が単一の拡散層により構成されたMOSトランジスタでは、微細化されると、ドレイン近傍での電界集中によりホットエレクトロンが発生し、これがゲート絶縁膜に注入されて特性が劣化する。これを避けるためにソース・ドレインのゲート電極寄り部分を低不純物濃度領域とし、いわゆるLDD構造を採ることが広く行われている。また微細化に伴う抵抗の増大を抑制して動作の高速化を図るためにゲート電極上およびソース・ドレイン領域上にシリサイド層を形成することが行われている。

【0003】図3は、この種従来のMOS型半導体装置を製造する際の各工程段階を示す断面図である。まず、p型シリコン基板301上の不活性領域にフィールド酸化膜302を形成し、活性領域にゲート酸化膜303を形成する。次に、リンを添加したポリシリコンからなるゲート電極304をゲート酸化膜303上に形成し、ゲート電極304をマスクとしてリン(P)をイオン注入してソース・ドレイン領域となるn-拡散層105を形成する。次に、CVD方によりシリコン酸化膜を200nm程度の膜厚に成長させ、その後、異方性エッチングによりこのシリコン酸化膜をエッチバックして、ゲート電極304の側面に膜厚約200nmの側壁酸化膜306を形成する。次にヒ素(As)のイオン注入によりn+拡散層308を形成する[図3の(a)]。

【0004】次に、バッファードフッ酸により半導体基板表面に形成された自然酸化膜を除去する。しかる後、スパッタ法により膜厚約100nmのチタン層309を形成する[図3の(b)]。

【0005】次に、窒素雰囲気中で熱処理を行ってチタン層309とゲート電極304およびn+拡散層308のシリコンとを反応させ、チタンシリサイド層310を形成する。次に、フィールド酸化膜302上および側壁酸化膜306上の未反応のチタン層をウェットエッチにより除去する[図3の(c)]。その後、層間絶縁膜を堆積し、コンタクト孔を設けた後、Al電極を形成して装置は完成する。

【0006】側壁絶縁膜の他の構造として、窒化膜を用いるもの(例えば、特開平2-1940号公報)や窒化膜と酸化膜を併用するものが提案されている。図4に、その一例として、特開昭62-105472号公報において提案された素子構造を示す。同図において、図3の部分に対応する部分には下2桁が共通する番号が付されているので重複した説明は省略するが、本従来例では、ゲート電極404をマスクにしてn-拡散層405を形

4

成した後、薄い酸化膜(406)と厚い窒化膜(407)とを堆積しエッチバックを行って側壁酸化膜406と側壁窒化膜407を形成している。この例は、エッチバック工程において、酸化膜(406)を終点検知層とを用いることにより側壁を高精度に形成しようとするものである。

【0007】

【発明が解決しようとする課題】側壁絶縁膜の膜厚は、MOSトランジスタの微細化に伴ってあるいはトランジスタの高性能化のために徐々に薄膜化されてきた。ところが、図3に示す従来例の構造では、チタン層をスパッタ法で形成する前のバッファードフッ酸による自然酸化膜除去処理工程において、側壁酸化膜306がエッチングされるため、酸化膜が薄い場合、ゲート電極の側面が露出し、最悪の場合には、側壁酸化膜が消失してしまう。そのため、チタン層を熱処理によりシリサイド化したときに、ゲート電極を構成するポリシリコンの側面にもチタンシリサイド層が形成され、ソース・ドレインであるn+拡散層308上に形成されたチタンシリサイド層310と接触する。その結果、ゲート電極304とソース・ドレインであるn+拡散層308とが短絡し、回路が正常に動作しなくなる。

【0008】また、従来例では、側壁酸化膜306が目減りしたことにより、n-拡散層305にもシリサイド層が形成されるようになる。この場合、n-拡散層とシリサイドとの接触抵抗が大きいためn-拡散層を流れる電流はn+拡散層を介してシリサイド層に流れるようになる。従って、n-拡散層上にシリサイド層が形成された場合には、n-拡散層の膜厚が減少したことになり抵抗が増大してトランジスタの性能が低下する。

【0009】また、バッファードフッ酸の処理後も十分な側壁膜厚を維持しようとする側壁の膜厚が大きくなりすぎるため、この側壁の膜厚により決まるn-拡散層の長さが長くなり、その結果、n-拡散層による寄生抵抗が大きくなりMOSトランジスタの性能を向上させることが困難となる。

【0010】この不具合を避けるために、バッファードフッ酸化でエッチングされない窒化膜の単層によりあるいは窒化膜と酸化膜との複合膜によって側壁を構成し、これによりシリサイド構造のMOSトランジスタを形成することが考えられる(この構造のトランジスタが公知であるという意味ではない)。

【0011】しかし、単層の窒化膜で側壁を形成した場合、窒化膜は電荷のトラップ密度が大きいため、ドレイン端で発生したホットエレクトロンがトラップされやすい。そしてトラップされた電子により窒化膜の側壁の下にn-拡散層の層抵抗が上昇し、MOSトランジスタの特性劣化が著しくなって信頼性が低下する。また、窒化膜を含む複合膜を使用する場合(図4に示す例の場合)、バッファードフッ酸によるエッチング工程におい

5

て、窒化膜下の酸化膜がエッチングされるため、図3の従来例の場合と同様に、ゲート電極ソース・ドレイン間の短絡事故が起こる。

【0012】

【課題を解決するための手段】本発明のMOS型半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側面に形成された本質的にシリコン酸化物からなる第1の側壁絶縁膜と、前記第1の側壁絶縁膜の外側に該第1の側壁絶縁膜に接して形成された、下端が前記半導体基板に接する、シリコン酸化物とはエッチング性を異にする材料からなる第2の側壁絶縁膜と、前記ゲート電極の側面に整合されて前記半導体基板の表面領域内に形成された低不純物濃度の第1の拡散層と、前記第1の側壁絶縁膜または前記第2の側壁絶縁膜の外側面に整合されて前記半導体基板の表面領域内に形成された高不純物濃度の第2の拡散層と、を備えている。

【0013】また、その製造方法は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板の表面領域内に不純物を導入して低不純物濃度の第1の拡散層を形成する工程と、本質的にシリコン酸化物からなる被膜を全面に形成し、これをエッチバックして前記ゲート電極の側面に第1の側壁絶縁膜を形成する工程と、シリコン酸化物とはエッチング性を異にする材料からなる被覆を全面に形成し、これをエッチバックして前記第1の側壁絶縁膜の外側に第2の側壁絶縁膜を形成する工程と、前記ゲート電極、前記第1の側壁絶縁膜および前記第2の側壁前絶縁膜をマスクとして前記半導体基板の表面領域内に不純物を導入して高不純物濃度の第2の拡散層を形成する工程と、を含んでいる。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1の(a)乃至(d)は、本発明の第1の実施例を説明するための製造工程順の断面図である。p型シリコン基板101の不活性領域に膜厚600nmのフィールド酸化膜102を形成し、フィールド酸化膜の形成されなかった活性領域に膜厚10nmのゲート酸化膜103を形成する。次に、ゲート酸化膜103上に、リンを添加したポリシリコンを500nmの厚さに堆積し、これをパターニングしてゲート電極104を形成する。このゲート電極をマスクにリンを、エネルギー：40keV、ドーズ量： $5 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入してn-拡散層105を形成する。次に、CVD法により酸化膜を50nm程度成長させ、異方性エッチングによりこの酸化膜をエッチバックして、ゲート電極104の側面に膜厚50nmの側壁酸化膜106を形成する[図1の(a)]。

【0015】次に、CVD法により膜厚50nmの窒化膜を成長させ、異方性エッチングによりこの窒化膜をエ

6

ッチバックして側壁酸化膜106の側面に側壁窒化膜107を形成する。次に、ヒ素をエネルギー：60keV、ドーズ量： $3 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入してn+拡散層108を形成する[図1の(b)]。次に、バッファードフッ酸によりゲート電極104上およびn+拡散層108上の自然酸化膜を除去し、その後、スパッタ法により膜厚50nmのチタン層109を形成する[図1の(c)]。

【0016】次に、窒素雰囲気中で熱処理を行ってチタン層109のチタンとゲート電極104およびn+拡散層108のシリコンとを反応させ、チタンシリサイド層110を形成する。次に、フィールド酸化膜102上、側壁酸化膜106上および側壁窒化膜107上の未反応のチタン層をウェットエッチにより除去する[図1の(d)]。その後、層間絶縁膜を堆積し、コンタクト孔を設けた後、Al電極を形成して装置は完成する。

【0017】上記バッファードフッ酸によるエッチング工程の際、図1の(b)に示されるように側壁酸化膜の側面は完全に窒化膜で覆われているため、エッチングによって側壁の目減りが生じることはなくなる。したがって、シリサイド化を、露出した半導体基板表面とゲート電極との間に一定の距離を確保した状態で行うことができ、シリサイド膜による短絡を激減させることができる。

【0018】また、このようにして形成されたMOSTランジスタでは、電荷のトラップの密度の高い側壁窒化膜107が、n+拡散層108上に形成されているため、側壁窒化膜へはホットエレクトロンはほとんど注入されない。また、たとえ側壁窒化膜に電子がトラップされたとしても、その下にあるのはn+拡散層108であるため、この層が層抵抗の変調を受けることはなく、MOSTランジスタの特性が劣化することはない。

【0019】図2の(a)乃至(d)は、本発明の第2の実施例を説明するための製造工程の断面図である。p型シリコン基板201の不活性領域にフィールド酸化膜202を、活性領域に10nmのゲート酸化膜203を形成する。次に、リンを添加したポリシリコンによるゲート電極204をゲート酸化膜203上に形成し、ソース・ドレインとなる領域にn-拡散層205を形成する。次にCVD法によりシリコン酸化膜を50nmの厚さに成長させ、これに異方性エッチングを施して、ゲート電極204の側面に膜厚約50nmの側壁酸化膜206を形成する。次に、ヒ素のイオン注入により、n+拡散層208を形成する[図2の(a)]。

【0020】次に、SiH₄とN₂Oを材料ガスとするプラズマCVD法により50nm厚のシリコン窒化酸化膜(SiN_xO_y)を成長させ、その後このシリコン窒化酸化膜に異方性エッチングを施して側壁酸化膜206の側面に側壁窒化酸化膜207を形成する[図2の(b)]。次に、バッファードフッ酸により、ゲート電

7

極204上およびn⁺拡散層208上の自然酸化膜を除去し、その後、スパッタ法により50nmのチタン層209を形成する〔図2の(c)〕。

【0021】次に、窒素雰囲気中での熱処理により、チタン層209のチタンとゲート電極204およびn⁺拡散層208のシリコンとを反応させ、チタンシリサイド層210を形成する。次に、フィールド酸化膜202上、側壁酸化膜206上および窒化酸化膜207上の未反応のチタン層をウェットエッチにより除去する〔図2の(d)〕。その後、層間絶縁膜を堆積し、コンタクト孔を設けた後、A1電極を形成して装置は完成する。

【0022】本実施例では、窒化膜に代え窒化酸化膜を使用しているが、この膜でも短時間のエッチングでは容易にはエッチングされないで、先の実施例の場合と同様に、シリサイド膜の短絡を防止することができる。また、このようにして形成したMOSトランジスタでは、第1の実施例と比較してn⁻拡散層205の領域が短くなって寄生抵抗が小さくなるため、gm値を大きくしてトランジスタの性能を向上させることができる。

【0023】以上の実施例では、nチャネルのMOSトランジスタについて説明したが、pチャネルMOSトランジスタ、CMOSについても同様に本発明を適用することができる。また、実施例では、シリサイド形成用の金属として、チタンを用いたが、タングステンやモリブデン等の他の高融点金属を用いることができる。

【0024】また、実施例では、ゲート電極上とソース・ドレイン拡散層上とに同種のシリサイド層を形成していたが、例えば、ゲート電極上にはスパッタ法によるタングステンシリサイド層を形成し、ソース・ドレイン拡散層にのみ金属と反応させたシリサイド層を形成するようにしてすることもできる。また、側壁酸化膜の材料として、シリコン酸化膜に代えBSGのような他の材料が添加されたものを用いてもよい。さらに、側壁酸化膜の外側に形成される側壁についてもアルミナのような実施例の場合と異なる材料を用いて形成することができる。

【0025】

【発明の効果】以上説明したように、本発明のMOS型半導体装置は、ゲート電極の側面に形成される側壁を、

8

酸化膜と、酸化膜とはエッチング性を異にする材料の膜との2層構造としたものであるので、本発明によれば、側壁を薄くしても、シリサイド形成時の金属堆積前のバッファードフッ酸処理により、側壁がエッチングされることがなくなる。従って、形成されたシリサイド層によりゲート電極とソース・ドレイン拡散層とが短絡することがなくなり、半導体装置の歩留りを向上させることができる。実際、膜厚100nmの単層の酸化膜の側壁を形成していた場合と比較して、各50nmの酸化膜と窒化膜の複合膜を側壁とした場合には、トランジスタの歩留りを50%から80~90%に向上させることができた。

【0026】また、本発明によれば、側壁を薄くすることができるため、n⁻拡散層の長さが短くなり、ソース・ドレインの寄生抵抗が低減されるため、ドレイン電流を大きくすることができ、MOSトランジスタの性能を向上させることができる。

【0027】また、本発明によれば、n⁻拡散層上にシリサイド層が形成されないで、n⁻拡散層の膜厚の減少を防止することができ、寄生抵抗の増加を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明するための製造工程順の断面図。

【図2】 本発明の第2の実施例を説明するための製造工程順の断面図。

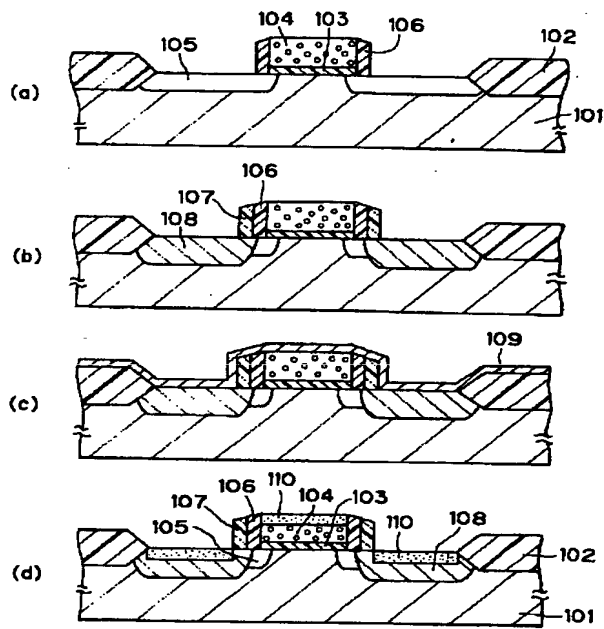
【図3】 従来例の製造方法を説明するための工程断面図。

【図4】 他の従来例の断面図。

【符号の説明】

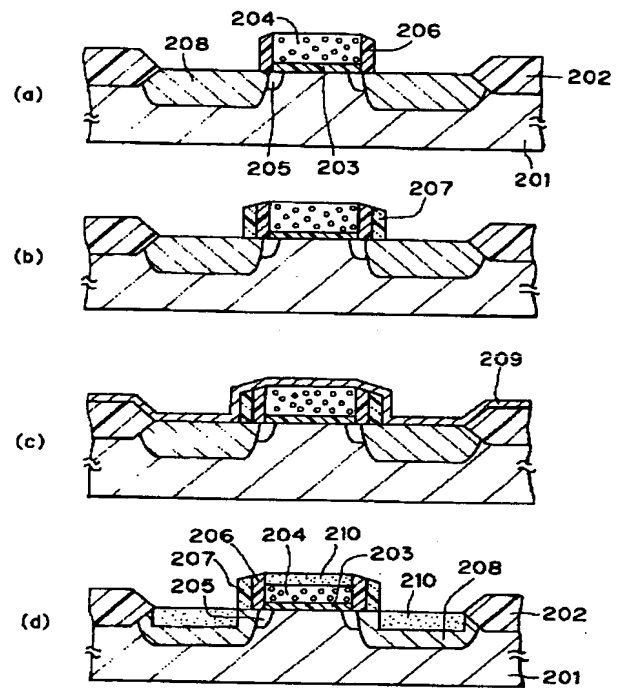
101、201、301、401	p型シリコン基板
102、202、302、402	フィールド酸化膜
103、203、303、403	ゲート酸化膜
104、204、304、404	ゲート電極
105、205、305、405	n ⁻ 拡散層
106、206、306、406	側壁酸化膜
107、407	側壁窒化膜
207	側壁窒化酸化膜

【図1】



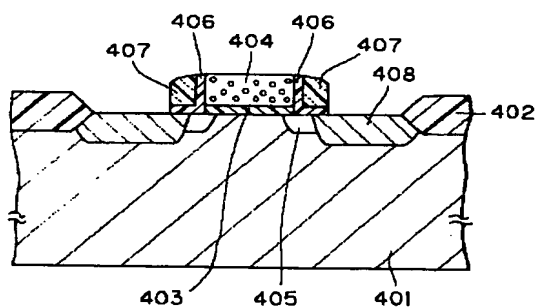
- 101...p型シリコン基板
102...フィールド酸化膜
103...ゲート酸化膜
104...ゲート電極
105...n⁺拡散層
106...側壁酸化膜
107...側壁窒化膜
108...n⁺拡散層
109...チタン層
110...チタンシリサイド層

【図2】



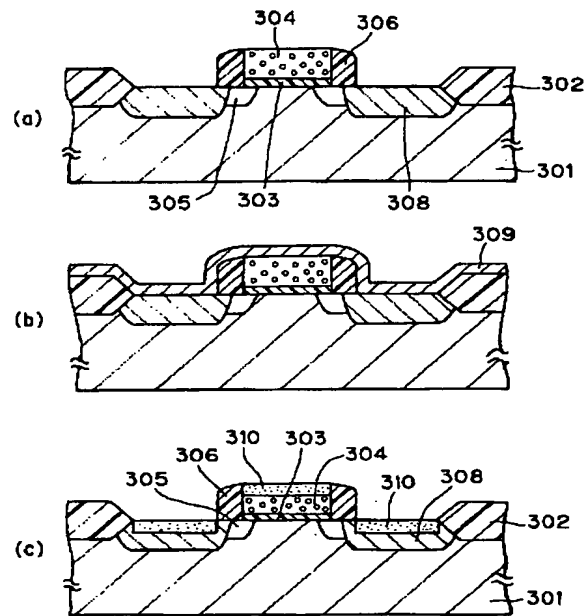
- 204...ゲート電極
205...n⁺拡散層
206...側壁酸化膜
207...側壁窒化膜
208...n⁺拡散層
209...チタン層
210...チタンシリサイド層

【図4】



- 406...側壁酸化膜
407...側壁窒化膜

【図3】



- | | |
|--------------------------|--------------------------|
| 301...p型シリコン基板 | 306...側壁酸化膜 |
| 302...フィールド酸化膜 | 308...n ⁺ 拡散層 |
| 303...ゲート酸化膜 | 309...チタン層 |
| 304...ゲート電極 | 310...チタンシリサイド層 |
| 305...n ⁻ 拡散層 | |

フロントページの続き

(51)Int.Cl.⁵

H 0 1 L 21/28
21/318

識別記号 序内整理番号

3 0 1 T 7376-4M
C 7352-4M

F I

技術表示箇所

THIS PAGE BLANK (USPTO)